

基于 PCI 总线的测控卡的设计

北京理工大学电子工程系(100081) 张德 马淑芬 吴嗣亮

摘要:介绍了一种基于 PCI 总线的测控板卡的设计,使用 PCI9054 实现总线控制,利用 FPGA 实现测控板卡的发送逻辑、接收逻辑和数据缓冲功能,并采用了乒乓 FIFO;最后给出了用 WinDriver 编写设备驱动程序的方法。

关键词: PCI9054 FPGA 状态机 乒乓 FIFO WinDriver

PCI 总线是一种高性能的局部总线,它具有 32/64 位总线宽度,且总线地址和数据复用,支持猝发传输,传输速率高达 132MB/s;同时可支持多组外围设备。另外,PCI 总线不依赖于热和 CPU,具有较好的兼容性。

近几年来,现场可编程门阵列(FPGA)在现代电子设计中的成功应用,使充分利用 FPGA 的本身资源设计专用电路,完成系统功能成为可能,从而简化了电路、缩小了体积、提高了稳定性、具有更大的灵活性。

基于这种设计思想,笔者利用 FPGA 和 PCI 总线接口芯片设计了一种测控电路板卡,经实际运行,效果很好。

1 系统结构与功能

本板卡为基于 PCI 总线,采用 RS485 电平传输的异步串行通信测控卡。它与 PCI 总线的协议部分采用 PCI9054 专用接口芯片来完成。PCI9054 是由美国 PLX 公

司生产的一款高性能 PCI I/O 加速器,它采用了先进的 32 位数据管道结构技术,支持复用/非复用的 32 位数据/地址总线,本地总线有三种模式可选:M、C、J 模式,被广泛应用于 PCI 总线板卡的开发中。在本设计中,PCI9054 工作在 C 模式下,采用中断方式,总线周期为“PCI 目标读单周期”和“PCI 目标写单周期”,数据总线为 8 位。

异步串行通信电路部分完全用 FPGA 来实现。在设计上,笔者选用了 Xilinx 公司的 Spartan II 系列的 XC2S200 来实现异步串行通信的接收、发送和接口控制功能,FPGA 具有在线可编程能力,设计者可根据实际需求分配资源。

测控卡的通信协议为起止式协议,采用固定的帧格式:1 位开始位、8 位数据位、1 位停止位,无奇偶校验位,在软件中采用统一的 CRC 校验,传输波特率为 19.2kbps。为保证接收数据的正确性,设计中采用 16 倍

(接上页)

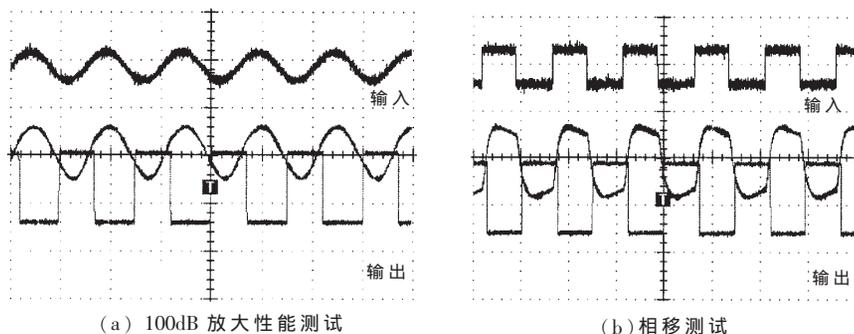


图 6 电路性能测试

能和相移特性是测试的着重点。图 6 中(a)、(b)分别为信号放大性能和相位偏移测试的结果。函数发生器产生 500mV/1kHz 的正弦标准信号,经过两次 40dB 衰减得到 50 μ V/1kHz 的测试输入信号,以此来测试放大性能。由图可知,电路将信号有效地放大了 100dB。相位偏移测试由函数发生器产生的 1kHz 方波模拟神经信号进行。如果系统对信号各频段的相移显著不同,则非常容易引起信号形态的畸变,如要对信号进行时域处理,这是非常不利的。从结果可得,除了信号中的高频分量不属于

有效的频率段而被滤除外,信号整体的相移平稳,保持了原有的形态,经过识别规整后可在时域中完整重现。

由以上的讨论可得,文中提出的电路有效地解决了神经信号调理的问题,电路系统实用可靠。目前已经完成了可提取神经信号的植入式电极的研究,利用文中的电路,将继续开展临床实验等研究工作。

参考文献

- 1 G.M.Shepherd. 神经生物学. 上海:复旦大学出版社,1992.5
- 2 蔡建新,张唯真. 生物医学电子学.北京:北京大学出版社,1997.12
- 3 刘新明. 一种性能优良的全程控生物电前置放大器.北京生物医学工程,1996;15(2)
- 4 李刚.高性能多同道生物电放大器.天津大学学报,2000;33(5)
- 5 Charles Kitchin. Reducing RFI Rectification Errors in In- Amp Circuits. Analog Devices Inc, Application Note(AN- 671)

(收稿日期:2004-09-20)

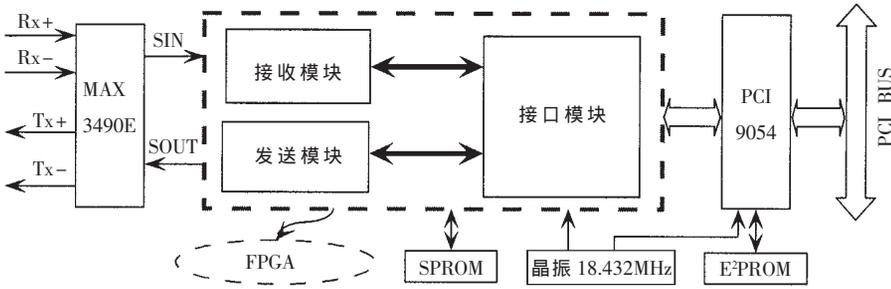


图1 异步串行通信电路功能结构框图

频波特率作为接收采样时钟,并把第八个采样值作为接收数据。

测控卡主要完成以下工作:采用RS485差分电平传输的遥测数据经过电平转换后,由接收模块接收后乒乓缓存到FIFO中,并通过PCI总线接口芯片PCI9054以单周期方式送到计算机内存中以便进行下一步处理。发送模块接收到PCI总线传输过来的遥控命令后,按照通信协议格式组帧,在通过电平转换芯片转换成RS485电平后,以19.2kHz的频率发送给目标设备,实现对目标设备的各种控制。

根据以上分析,笔者设计的测控卡的具体功能结构如图1所示。下面详细阐述各部分的功能。

- MAX3490E:完成RS485差分电平到TTL电平的转换;
- 接收模块:完成遥测数据的接收和缓冲;
- 发送模块:完成遥控数据的缓冲和发送;
- 接口模块:实现与PCI9054的接口功能,完成读写和传输控制操作;
- PCI9054:完成和PCI总线的接口协议。

1.1 发送模块设计

发送模块主要实现对遥控数据的缓存和并/串转换,同时按照设计的异步串行通信数据帧格式进行相应的处理,最后将数据串行发送。处理器读取线路状态寄存器信息,检查发送FIFO(TxFifo)是否为空,如为空且有遥控数据待发,则将遥控数据通过PCI9054发送并存储到发送FIFO中。发送状态机读取TxFifo中数据,通过并/串移位后用19.2kbps的波特率串行输出。发送状态机实现起止位“0”、并/串移位信号、停止位“1”的发送,具体如图2所示。

开始:当移位寄存器空,发送模块处于等待开始状态,

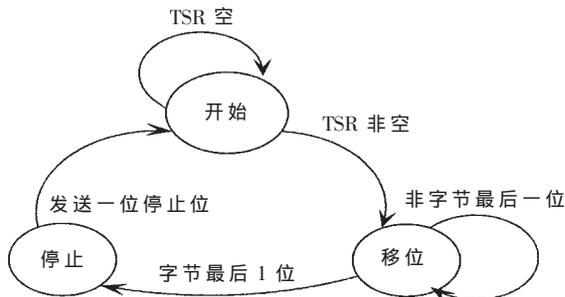


图2 发送模块状态机图

一旦检测到非空,发送起始位“0”,状态机进入移位状态;

移位:通过并/串移位寄存器串行发出,当完成8bit移位后,状态机转入停止状态;

停止:在这个状态,为发送的数据加上一位停止位,然后转入开始状态,等待下一个数据。

发送模块包含8位并/串移位寄存器TSR、51×8bits发送FIFO(TxFifo)、用于实现发送遥控数据计数的52计数器等等。发送模块内部电路结构如图3所示。

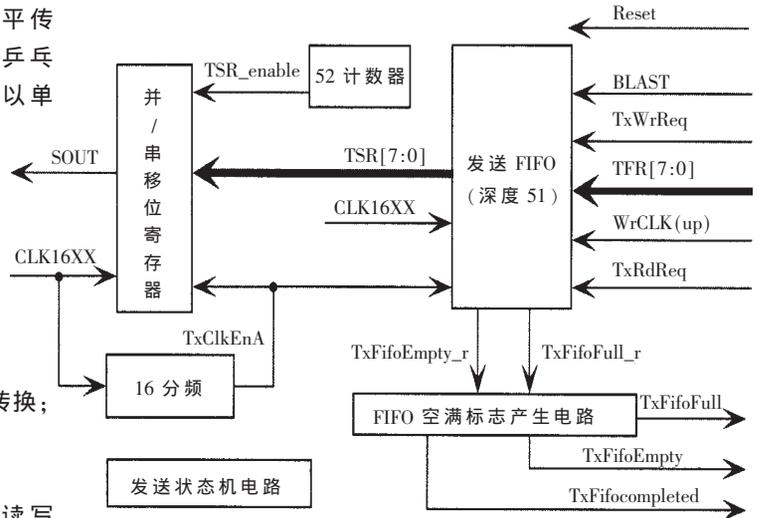


图3 发送模块内部电路结构图

1.2 接收模块设计

接收模块实现遥测数据的串/并转换,同时完成起始位、停止位的识别捕获及遥测数据的缓存。由于本设计中由设备每100ms定时发送一帧(181字节)接收数据,当FIFO产生满标志时,将耗时 $(181 \times (8+2))/19200$ ms,即约95ms,仅剩5ms左右的时间让PC机响应,由于操作系统的特点,不能充分满足PC机的响应时间,这会造成接收数据混乱。为保证PC机所需的响应时间和数据的正确性和实时性,笔者使用了两个满标志为181的接收FIFO进行乒乓切换,收到良好的效果。

接收模块包含8位串/并移位寄存器、两个满标志为181的接收FIFO(RxFifo、RxFifo_Cache)、采样电路、捕获电路、读写通道选择电路和移位计数器电路。其中,采样比较电路采样起始信号、数据信号和结束标志,通道选择电路用来对FIFO乒乓切换读写通道进行选择。接收模块内部结构如图4所示。采样电路、捕获电路在采样捕获到起始信号“0”后根据通信协议接收串行数据,经过串/并移位后乒乓存储到FIFO中,由PCI9054根据满、空信号乒乓读取。

1.3 接口模块设计

接口模块主要实现PCI9054和接收、发送模块的通

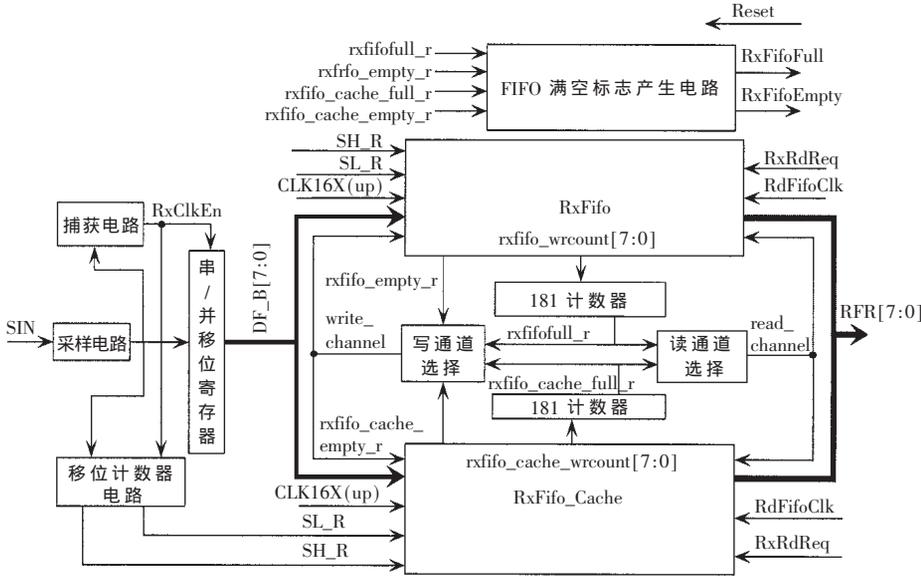


图4 接收模块内部结构图

信, 包括传输控制逻辑、时钟分频控制, 笔者根据 PCI9054 的单周期读写时序给出了各类寄存器的读写信号、总线响应信号、控制信号等。该模块含有五个寄存器: 接收 FIFO 寄存器 (RFR)、发送 FIFO 寄存器 (TFR)、线路控制状态寄存器 (LCSR)、中断标识寄存器 (IIR) 和中断使能寄存器 (IER)。具体说明如下:

- LCSR: 通过读该寄存器获取各个 FIFO 的状态信号 (置 1 有效, 0 无效)。LCSR 格式如下:

TxFifocompleted	TxFifoEmpty	TxFifoFull	0	0	0	RxFifoEmpty	RxFifoFull
-----------------	-------------	------------	---	---	---	-------------	------------

- TxFifocompleted: 数据传输完成 (1 完成, 0 未完成);
- TxFifoEmpty: 发送 FIFO 寄存器空 (1 空, 0 非空);
- TxFifoFull: 发送 FIFO 寄存器满 (1 满, 0 未空);
- RxFifoEmpty: 接收 FIFO 寄存器空 (1 空, 0 非空);
- RxFifoFull: 接收 FIFO 寄存器满 (1 满, 0 未空)。
- IIR: 通过读取该寄存器获得中断类型。IIR 格式如下:

0	bit2	bit1	bit0
---	------	------	------

- 0100 (int0): 接收 FIFO (Rx FIFO) 满中断;
- 0010 (int1): 发送 FIFO (Tx FIFO) 空中断;
- 0001 (idle): 无中断。

·IER: 可以通过写该寄存器相应位使能或取消中断。

IER 格式如下:

TxFifoI	RxFifoI
---------	---------

- TxFifoI: 发送 FIFO 空中断使能 (1 允许, 0 禁止);
- RxFifoI: 接收 FIFO 满中断使能 (1 允许, 0 禁止)。

中断产生由接口中断状态机实现, 具体如图 5 所示。

空闲: 空闲状态, 没有中断产生;

中断 int0: 接收 FIFO (RFR) 满, 产生中断, 要求 PCI9054 响应;

中断 int1: 发送 FIFO (TFR) 空, 产生中断, 要求

PCI9054 写入数据或读取中断标识寄存器 IIR。

2 驱动程序的开发

驱动程序主要是完成对硬件板卡的内存映像地址、I/O 地址的存取, 并正确处理来自板卡的硬件中断。与传统开发设备驱动程序的方法不同, WinDriver 不要求开发者非常熟悉操作系统平台, 掌握核心开发/调试知识等; 并且 WinDriver 设备驱动程序工具包将驱动程序的开发作了最大的简化, 它为开发人员提供了功能全面的 API 函数。开发人员只要根据硬件板卡功能的需要调用所需的函数即可。本测控卡驱动程序需要完成设备的初始化、FIFO

的读写等, 笔者选择相应的函数将其封装成一个测控卡驱动类, 并加以例化, 供应用程序调用, 即很好地实现了硬件功能。

利用专用 PCI 总线接口芯片可以实现完整的 PCI 主控模块和目标模块接口功能, 将复杂的 PCI 总线接口转换为相对简单的用户接口, 避免了用户直接面对复杂的 PCI 总线协议, 降低了设计难度。利用 FPGA 设计自己需要的专用电路, 具有极大的灵活性, 设计者可以根据实际的

需要, 在 FPGA 资源允许的条件下对设计进行优化扩展。譬如笔者在设计过程当中, 利用 FIFO 实现了数据缓存, 并根据数据的实际长度

加大了 FIFO 的深度, 有效地降低了中断次数或查询次数; 同时, FIFO 的乒乓切换很好地满足了 PC 机所需的响应时间, 保证了接收数据的正确性, 对整个系统起到优化作用。利用 WinDriver 开发驱动程序, 简单实用, 缩短了开发周期。

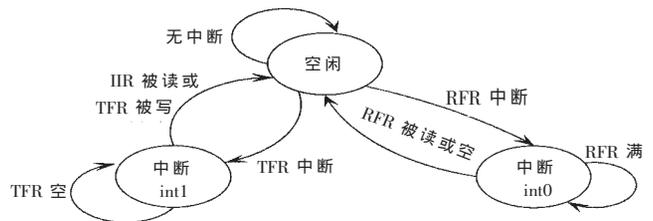


图5 接口模块状态机图

参考文献

- 1 李圣怡, 戴一帆, 王宪平. Windows 环境下软硬件接口技术 [M]. 长沙: 国防科技大学出版社, 2001
- 2 李贵山, 陈金鹏. PCI 局部总线及其应用 [M]. 西安: 西安电子科技大学出版社, 2003
- 3 叶玉明, 姚伯威, 彭卫. 基于 PCI 总线数据采集系统研究 [J]. 中国测试技术, 2003(1): 47~48
- 4 PCI9054 Datasheet [M]. USA: PLX Corp, 2001

(收稿日期: 2004-09-20)